

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-216871

(43)Date of publication of application : 29.08.1990

(51)Int.Cl.

H01L 29/784

(21)Application number : 01-037650

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 17.02.1989

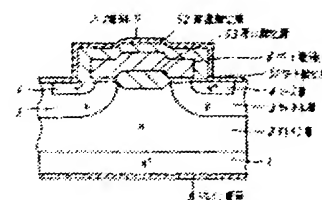
(72)Inventor : FUJISAWA NAOTO

### (54) POWER MOSFET

#### (57)Abstract:

**PURPOSE:** To obtain a power MOSFET having a small ON resistance and a fast switching speed by forming an oxide film by a LOCOS method, forming the thickness of the thick oxide film to a specific value or less, and forming a dense oxide film thin on a channel forming part and thick on a region therebetween.

**CONSTITUTION:** A channel layer 3 is covered with a mask of a nitride film, a drain layer 2 between the channel layers is etched, and a thick oxide film 53 is formed by high temperature oxidation. Then, the nitride film is removed, and a gate oxide film 51 is similarly formed by a high temperature oxidation. Thereafter, a gate electrodes 6 is formed of polysilicon, etc., and covered with a CVD oxide film 52 to insulate between the gate and a source. The formations of a source electrode 7 and a drain electrode 8 are similarly to a conventional method. If the thickness of the film 52 on the layer 2 is so limited as to become 4000 $\text{\AA}$ ; or less in this MOSFET, when the thickness of the film 51 is 1000 $\text{\AA}$ ; or less, for example, in 500V breakdown strength n-channel MOSFET, the rise of an ON resistance may be limited to approx. 10% as compared with the case that the thickness of the oxide film is uniform.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-216871

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月29日

H 01 L 29/784

8422-5F

H 01 L 29/78

3 2 1 G

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 パワーMOSFET

⑯ 特 願 平1-37650

⑰ 出 願 平1(1989)2月17日

⑱ 発 明 者 藤 沢 尚 登 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 パワーMOSFET

2. 特許請求の範囲

1) 半導体基板の第一導電形のドレイン層の表面部に間隔を置いて二つの第二導電形のチャンネル層を有し、そのチャンネル層の表面部にそれぞれ選択的にソース層が形成され、チャンネル層のドレイン層とソース層の間の上には薄い酸化膜、チャンネル層相互間の上には厚い酸化膜を介してゲート電極が設けられるものにおいて、酸化膜はLOCOS法により形成され、厚い酸化膜の厚さが4000Å以下であることを特徴とするパワーMOSFET。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体基板の表面上にMOS構造を有し、その面にソース電極を基板の裏面にドレイン電極を有するパワーMOSFETに関する。

(従来の技術)

パワーMOSFETの単一セルは第2図に示すような構造を有し、N<sup>+</sup>層1の上に積層されたド

レイン層2の表面部に間隔を置いてP形チャンネル層3が形成され、さらにそのチャンネル層3の表面部に選択的にN<sup>+</sup>ソース層4が形成されている。このソース層4とN層2の間のチャンネル層にチャンネル(Nチャンネル)が生ずるように、その上にゲート酸化膜51を介してポリシリコンなどからなるゲート電極6が設けられ、その上を酸化膜52が覆う。さらに、この酸化膜52を覆い、ソース層4の一部分とチャンネル層3の一部分に接触するソース電極7が形成されている。裏面側のN<sup>+</sup>層にはドレイン電極8が接触している。

(発明が解決しようとする課題)

このようなパワーMOSFETにはゲート電極6と半導体基板との間に酸化膜が存在するのでソース電極7とゲート電極6の間およびドレイン電極8とゲート電極6の間に容量が存在し、両容量が直列に、そして半導体基板内の接合容量と並列にソース電極7とドレイン電極8の間に入る。パワーMOSFETのスイッチング速度は容量の充放電速度で決まり、容量が高くなるとスイッチン

グ速度が遅くなるから、高周波スイッチングの場合には容量の低減が必要である。しかしチャンネル形成部の上の酸化膜を厚くするとオン抵抗が高くなるというトレードオフの関係がある。この関係を打破するため、第3図に示すように、ゲート電極6を逆U字状にしチャンネル形成部の上以外に酸化膜の厚い部分53を形成する。あるいは第4図のようにゲート電極6を二つに分けその間を厚い酸化膜53で埋める。しかし第3図に示す方法も第4図に示す方法も厚い酸化膜53を薄いゲート酸化膜51成膜後CVD法により堆積させねばならず、緻密で厚さの精度の高い酸化膜が得られず、オン抵抗が高くなりがちである。

本発明の目的は、上述の欠点を除去し、緻密な酸化膜でチャンネル形成部上は薄いその間の領域では厚い酸化膜を形成し、オン抵抗が小さくスイッチング速度の速いパワーMOSFETを提供することにある。

(課題を解決するための手段)

上述の目的を達成するために、本発明は、半導

体基板の第一導電形のドレイン層の表面部に間隔を置いて二つの第二導電形のチャンネル層を有し、そのチャンネル層の表面部にそれぞれ選択的にソース層が形成され、チャンネル層のドレイン層とソース層の間の上には薄い酸化膜、チャンネル層相互間の上には厚い酸化膜を介してゲート電極が設けられるパワーMOSFETにおいて、酸化膜はLOCOS法により形成され、厚い酸化膜の厚さが4000Å以下であるものとする。

(作用)

LOCOS法によって酸化膜を形成するので、ドレイン層の上に形成される厚い酸化膜も緻密で厚さの精度が高く、その厚さを4000Å以下と規定することによりオン抵抗の上昇を抑え、かつドレイン電極とゲート電極間の容量を適度に小さくすることができる。

(実施例)

第1図は本発明の一実施例のNチャンネルパワーMOSFETを示し、第2図、第3図と共通の部分は同一の符号が付されている。この場合はチャ

ネル層3の上を酸化膜のマスクで覆い、チャンネル層間のドレイン層2をエッチングしたのち高温酸化により厚い酸化膜53を形成する。酸化膜マスクはこの高温酸化雰囲気中で十分な耐性をもつ。酸化膜53の膜厚は加熱時間および温度により調整する。次いで酸化膜を除去し、同様に高温酸化でゲート酸化膜51を形成する。その後ポリシリコンなどでゲート電極6を形成し、その上をゲート、ソース間絶縁のためのCVD酸化膜52で覆う。ソース電極7、ドレイン電極8の形成は従来と同様である。このMOSFETでドレイン層2の上の酸化膜53の厚さが4000Å以下になるように限定すると、例えば500V耐圧のnチャンネルMOSFETでゲート酸化膜51の厚さを1000Åとした場合、第2図のように酸化膜の厚さが一様である場合に比してオン抵抗の上昇を1割程度に留めることができ、かつソース・ドレイン電極間の容量を4割程度下げられることが計算の上で明らかである。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のパワーMOSFETの単一セルの断面図、第2図は従来のパワーMOSFETの単一セルの断面図、第3図、第4図はそれぞれ異なる従来のパワーMOSFETの単一セルの断面図である。

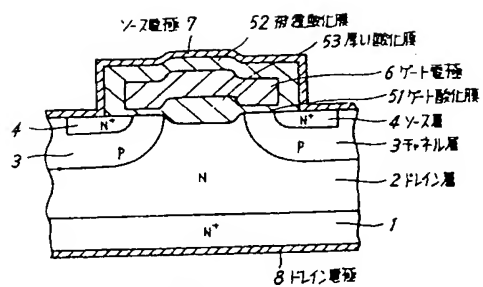
2: ドレイン層、3: チャンネル層、4: ソース層、51: ゲート酸化膜、52: 被覆酸化膜、53: 厚い酸化膜、6: ゲート電極、7: ソース電極、8: ドレイン電極。

代理人弁護士 山口 昌

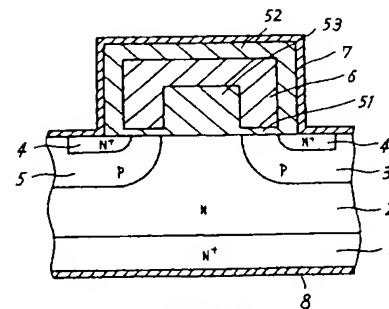


(発明の効果)

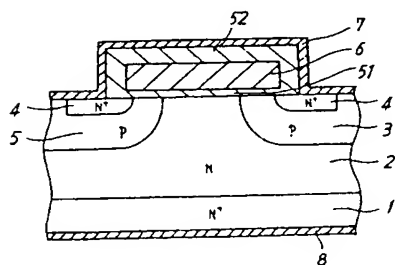
本発明によれば、酸化膜の形成にLOCOS法



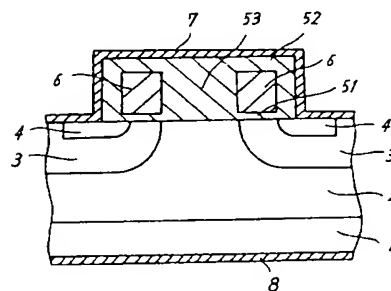
第1図



第3図



第2図



第4図